

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

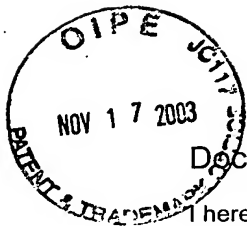
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



Docket No.: W&B-INF-1980

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, Alexandria, VA 22313 20231.

By:  Date: November 14, 2003

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applic. No. : 10/699,135
Applicant : Ulf Tohsche
Filed : October 31, 2003
Art Unit : to be assigned
Examiner : to be assigned

Docket No. : W&B-INF-1980
Customer No.: 24131

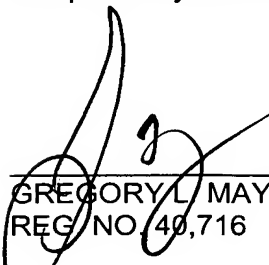
CLAIM FOR PRIORITY

Mail Stop: Missing Parts
Hon. Commissioner for Patents,
Alexandria, VA 22313-1450
Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 102 50 869.0 filed October 31, 2002.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,



GREGORY L. MAYBACK
REG. NO. 40,716

Date: November 14, 2003

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/mjb

BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 102 50 869.0

Anmeldetag: 31. Oktober 2002

Anmelder/Inhaber: Infineon Technologies AG,
München/DE

Bezeichnung: D-Flipflop mit reduzierter Transistoranzahl

IPC: H 03 K 3/037

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 09. Oktober 2003
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

A handwritten signature in black ink, appearing to read 'Scholz'. The signature is fluid and cursive, with the first letter 'S' being particularly large and stylized.

Scholz

Beschreibung

D-Flipflop mit reduzierter Transistoranzahl

- 5 Die Erfindung betrifft ein D-Flipflop sowie ein D-Flipflop mit Aktivierungseingang.

Bei integrierten Schaltungen mit einer großen Anzahl von Flipflop-Schaltungen wird die benötigte Chipfläche deutlich
10 durch die Fläche der Flipflops bestimmt. Viele benötigte Flipflops führen bei der zu integrierenden Schaltung zu einer sehr großen Chipfläche bzw. dazu, dass nicht die gesamte Schaltung in einem Chip integrierbar ist.

- 15 Die Flipflop-Schaltungen sind üblicher Weise aus einem Master-Latch und einem Slave-Latch aufgebaut, wobei das Master-Latch mit einer ersten Flanke ein an dem Dateneingang anliegendes Datensignal aufnimmt und das Slave-Latch das Datensignal mit einer zweiten Flanke übernimmt, von wo es dann an
20 einem nicht-invertierenden und einem invertierenden Ausgang abgegriffen werden kann. Dazu kann in jedem D-Flipflop aus dem anliegenden Taktsignal durch eine Inverterschaltung ein invertiertes Taktsignal und durch eine weitere Inverterschaltung aus dem invertierten Taktsignal ein nicht-invertiertes
25 Taktsignal gebildet werden, so dass das nicht-invertierte und das invertierte Taktsignal dem Master-Latch und dem Slave-Latch zur Verfügung gestellt werden können.

- Üblicherweise umfassen sowohl Master-Latch als auch das Slave-Latch ein taktpegelgesteuertes Halteelement, in das Daten
30 mit Hilfe der ersten bzw. der zweiten Taktflanke übernommen werden und darin abhängig von Taktpegel dauerhaft, d. h. statisch, gespeichert werden. Durch das zur Verfügung Stellen des nicht-invertierten und das invertierten Taktsignals für
35 das Master- und das Slave-Latch benötigt man mindestens zwei bzw. vier Transistoren, durch die die benötigte Fläche in der integrierten Schaltung erhöht wird.

Es ist Aufgabe der vorliegenden Erfindung ein D-Flipflop zur Verfügung zu stellen, dass mit einer geringen Anzahl von Transistoren aufgebaut werden kann, so dass die Fläche des D-Flipflops in einer integrierten Schaltung reduziert werden kann.

Diese Aufgabe wird durch das Flipflop nach Anspruch 1 gelöst.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Erfindungsgemäß ist ein Flipflop mit einem Takteingang zum Anlegen eines Taktsignals, einem Dateneingang zum Anlegen eines Datensignals, einem nicht-invertierenden Ausgang und einem invertierenden Ausgang vorgesehen. Das Flipflop weist eine Datenübernahmeeinheit und eine Speichereinheit auf. Die Speichereinheit umfasst im Wesentlichen eine Rückkopplungsschleife mit einer ersten und einer zweiten Inverterschaltung, die einander rückgekoppelt sind (SRAM-Zelle). Der nicht-invertierende Ausgang ist mit einem Ausgang der ersten Inverterschaltung und der invertierenden Ausgang mit einem Ausgang der zweiten Inverterschaltung gekoppelt. Die Datenübernahmeeinheit ist gestaltet, um abhängig von dem anliegenden Datensignal und dem anliegenden Taktsignal entweder einen Eingang der ersten Inverterschaltung oder einen Eingang der zweiten Inverterschaltung mit einem vorbestimmten Programmierpotential zu belegen und an dem Eingang der jeweils anderen der ersten und zweiten Inverterschaltung kein Potential anzulegen. Die Datenübernahmeeinrichtung weist ein erstes Schaltelement auf, um das vorbestimmte Programmierpotential abhängig von dem Taktsignal und dem Datensignal an den Eingang der ersten Inverterschaltung anzulegen. Die Datenübernahmeeinrichtung weist weiterhin ein zweites Schaltelement auf, um das vorbestimmte Programmierpotential abhängig von dem Taktsignal und dem Datensignal an den Eingang der zweiten Inverterschaltung anzulegen.

Die erfindungsgemäße Flipflop-Schaltung hat den Vorteil, dass sie mit einer geringeren Anzahl von Transistoren auskommt und dass durch das Vorsehen von einem ersten und einem zweiten Schaltelement zum Schalten des Programmierpotentials getrennte Schaltelemente verwendet werden. Dies hat den Vorteil, dass keine Wechselwirkungen zwischen dem Eingang der ersten Inverterschaltung dem Eingang der zweiten Inverterschaltung auftreten können.

Es kann vorgesehen sein, dass das erste Schaltelement so beschaltet ist, dass es bei einem ersten Pegel des Taktsignals und einem ersten Pegels des Datensignals durchgeschaltet ist und bei einem zweiten Pegel des Taktsignals und/oder einem zweiten Pegel des Datensignals gesperrt ist. Das zweite Schaltelement kann so beschaltet sein, dass es bei einem ersten Pegel des Taktsignals und einem zweiten Pegel des Datensignals durchgeschaltet ist und bei einem zweiten Pegel des Taktsignals und/oder einem ersten Pegel des Datensignals gesperrt ist. Auf diese Weise wird das Programmierpotential an den Eingang der ersten Inverterschaltung angelegt, wenn ein erster Pegel des Datensignals und ein erster Pegel des Taktsignals anliegt und das Programmierpotential an den Eingang der zweiten Inverterschaltung angelegt, wenn der zweite Pegel des Datensignals und der erste Pegel des Taktsignals anliegt. Durch Anlegen des Programmierpotentials an den jeweiligen Knoten der Rückkopplungsschleife wird die Speichereinheit programmiert, d. h. es wird ein Potential eingeprägt, dass der zu speichernden Information entspricht und durch die Rückkopplung der Rückkopplungsschleife gehalten wird.

Es kann weiterhin vorgesehen sein, dass das erste Schaltelement mit einem Ausgang eines ersten partiell getakteten Inverters gekoppelt ist, um das invertierte Datensignal bei einem zweiten Pegel des Taktsignals oder bei dem ersten Pegel des Taktsignals bei Anliegen des zweiten Pegels des Datensignals an das erste Schaltelement anzulegen und bei Anliegen

des ersten Pegels des Taktsignals und des ersten Pegels des Datensignals kein Potential aktiv an den entsprechenden Knoten des ersten Schaltelements anzulegen.

- 5 Es kann weiterhin vorgesehen sein, dass das zweite Schaltelement mit einem Ausgang eines zweiten partiell getakteten Inverters gekoppelt ist, wobei der zweite partiell getaktete Inverter mit dem Ausgang des ersten partiell getakteten Inverters verbunden ist, um ein nicht-invertiertes Datensignal
10 bei einem zweiten Pegel des Taktsignals an das zweite Schaltelement anzulegen und bei einem ersten Pegel des Taktsignals kein Potential aktiv an das zweite Schaltelement anzulegen.

- Auf diese Weise kann die Ansteuerung des ersten und des zweiten Schaltelements durch den ersten und den zweiten partiell getakteten Inverter durchgeführt werden. Dadurch ist die Ansteuerung der Schaltelemente mit vergleichsweise wenigen Transistoren möglich. Im Gegensatz zu üblichen Schaltungen bei denen partiell getaktete Inverter vier in Serie geschaltete Transistoren umfassen, von denen zwei mit einem invertierten und einem nicht-invertierten Taktsignal angesteuert werden müssen, weisen der erste und der zweite partiell getaktete Inverter, die in der Erfindung verwendet werden, nur
20 drei in Serie geschaltete Transistoren auf, wobei nur einer der Transistoren durch das nicht-invertierte Taktsignal angesteuert wird. Auf diese Weise kann vermieden werden, dass innerhalb der Flipflop-Schaltung ein invertiertes Taktsignal zur Verfügung gestellt werden muss.

- 30 Vorzugsweise ist vorgesehen, dass der erste und zweite partiell getaktete Inverter so gestaltet sind, dass bei einem Wechsel des Taktsignals von einem zweiten Pegel auf den ersten Pegel bei unverändertem Datensignal am Ausgang des ersten partiell getakteten Inverters das invertierte Datensignal und
35 folglich am Ausgang des zweiten partiell getakteten Inverters das nicht-invertierte Datensignal jedenfalls solange anliegt, bis das Datensignal in der Speichereinheit gespeichert ist.

Gemäß einem weiteren Aspekt der vorliegenden Erfindung ist ein Aktivierungseingang vorgesehen, um das Flipflop mit Hilfe eines Aktivierungssignals zu aktivieren bzw. zu deaktivieren.

5 Das erste Schaltelement und das zweite Schaltelement werden dabei jeweils abhängig von dem Taktsignal, dem im Dateneingang anliegenden Datensignal und dem Aktivierungssignal durchgeschaltet oder gesperrt, so dass bei deaktiviertem Aktivierungssignal die Information des Speicherelements unab-
10 hängig von dem anliegenden Taktsignal und dem anliegenden Datensignal gespeichert bleibt. Auf diese Weise kann ein D-Flipflop mit einem Aktivierungseingang realisiert werden, bei dem der Aktivierungseingang auf einfache Weise implementiert werden kann und wobei die Implementierung des Aktivierungseingangs eine geringere Anzahl von Transistoren benötigt als bei bisherigen D-Flipflops. Weiterhin müssen bestehenden
15 Layouts nur unwesentlich geändert werden, da das Speicherelement sowie das erste und das zweite Schaltelement im Wesentlichen unverändert erhalten werden können.

20 Es kann weiterhin vorgesehen sein, dass das erste Schaltelement mit einem Ausgang eines ersten partiell getakteten Gatters gekoppelt ist, um bei aktiviertem Aktivierungssignal und bei einem zweiten Pegel des Taktsignals das invertierte Datensignal an das erste Schaltelement anzulegen, bei dem deaktivierten Aktivierungssignal kein Potential an das erste
25 Schaltelement anzulegen und bei dem ersten Pegel des Taktsignals und aktiviertem Aktivierungssignal entweder das invertierte Datensignal anzulegen, wenn der zweite Pegel des Datensignals anliegt oder kein Potential an das erste Schaltelement anzulegen, wenn der erste Pegel des Datensignals an-
30 liegt. Auf diese Weise ist es möglich, dem ersten und dem zweiten Schaltelement Ansteuersignale zur Verfügung zu stellen, die von dem anliegenden Datensignal, dem Taktsignal und dem Aktivierungssignal abhängen, und wobei die Ansteuerung
35 mit Hilfe eines ersten und zweiten partiell getakteten Gatters erfolgt. Auf diese Weise ist die Realisierung des Akti-

vierungseingangs mit einer sehr geringen Anzahl von Transistoren möglich.

Es kann vorgesehen werden, dass das zweite Schaltelement mit einem Ausgang eines zweiten partiell getakteten Gatters gekoppelt ist, wobei das zweite partiell getaktete Gatter mit dem Ausgang des ersten partiell getakteten Gatters verbunden ist, um bei dem aktivierten Aktivierungssignal und bei einem zweiten Pegel des Taktsignals ein nicht-invertiertes Datensignal an das zweite Schaltelement anzulegen und bei dem ersten Pegel des Taktsignals und/oder bei deaktivierten Aktivierungssignal kein Potential an das zweite Schaltelement anzulegen.

Vorzugsweise sind das erste oder das zweite Schaltelement mit dem ersten und dem zweiten partiell getakteten Gatter verbunden, so dass bei deaktivierten Aktivierungssignal und bei dem ersten Pegel des Taktsignals abhängig von dem in der Speicherschaltung gespeicherten Datensignal das erste oder das zweite Schaltelement durchgeschaltet wird, um die in dem Speicherelement gespeicherte Information beizubehalten. Dazu können die Ausgänge der ersten Inverterschaltung und der zweiten Inverterschaltung auf die Datenübernahmeeinheit rückgekoppelt werden und dort so verschaltet werden, dass bei deaktiviertem Aktivierungssignal genau eines des ersten und des zweiten Schaltelements durchgeschaltet ist, so dass ein Programmierpotential an den Eingang der ersten oder den Eingang der zweiten Inverterschaltung angelegt ist. Auf diese Weise wird gewährleistet, dass derjenige Knoten der Rückkopplungseinheit, der sich auf dem Programmierpotential befindet sicher auf dem Programmierpotential gehalten wird. Das heißt, das Potential an dem Ausgang der rückgekoppelten Inverterschaltungen das sich auf einem Potential befindet, das der invertierten Information des Programmierpotentials entspricht, soll nicht versehentlich durch das entsprechende Schaltelement mit dem Programmierpotential verbunden werden können. Dies könnte bei deaktivierten Aktivierungssignal z.B.

durch ein Floaten der an den Schaltelementen anliegenden Steuersignale erfolgen.

5 Bevorzugte Ausführungsformen der Erfindung werden im folgenden anhand der beigefügten Zeichnungen näher erläutert. Es zeigen:

Figur 1 eine D-Flipflop-Schaltung gemäß einer ersten Ausführungsform der Erfindung; und

10 Figur 2 eine D-Flipflop-Schaltung mit einem Aktivierungseingang gemäß einer zweiten Ausführungsform der Erfindung.

Figur 1 zeigt ein D-Flipflop 1 mit einem Takteingang 2 für das Taktsignal CLK. Das D-Flipflop 1 weist weiterhin einen
15 Dateneingang 3 für ein Datensignal D auf. Die D-Flipflop-Schaltung 1 weist ein Speicherelement 4 und eine Datenübernahmeschaltung 5 auf.

Das Speicherelement 4 umfasst im Wesentlichen zwei einander
20 rückgekoppelte Inverterschaltungen, eine erste Inverterschaltung 6 und eine zweite Inverterschaltung 7, die erste und die zweite Inverterschaltungen umfassen jeweils einen P-Kanal-Transistor und einen N-Kanal-Transistor, die in Serie geschaltet sind. An den gemeinsam zu kontaktierenden Steueranschlüssen der Transistoren befindet sich ein Eingang der jeweiligen Inverterschaltung. Ein Ausgang der jeweiligen Inverterschaltung 6, 7 ist an den miteinander verbundenen Anschlüssen des P-Kanal-Transistors und des N-Kanal-Transistors abgreifbar. Des weiteren liegt über die Transistoren eine Be-
25 triebsspannung an.

Die erste und die zweite Inverterschaltung 6, 7 sind miteinander rückgekoppelt, d. h. der Ausgang der ersten Inverterschaltung 6 ist mit dem Eingang der zweiten Inverterschaltung
35 7 in einem zweiten Knoten K2, und der Ausgang der zweiten Inverterschaltung 7 mit dem Eingang der ersten Inverterschaltung 6 in einem ersten Knoten K1 verbunden. Am Ausgang der

ersten Inverterschaltung 6 ist das gespeicherte nicht-invertierte Datensignal und am Ausgang der zweiten Inverterschaltung 7 das gespeicherte, invertierte Datensignal abgreifbar.

- 5 Das Speicherelement 4 wird durch eine erste Schalteinrichtung 8 und eine zweite Schalteinrichtung 9 mit der zu speichernden Information beschrieben.

Die erste Schalteinrichtung 8 weist einen ersten Transistor
10 T1 und einen zweiten Transistor T2 auf, die in Serie geschaltet sind. Ein Steuereingang des ersten Transistors T1 ist mit dem Takteingang 2 verbunden. Ein Steuereingang des zweiten Transistors T2 ist mit einem Ausgang eines ersten partiell getakteten Inverters 10 verbunden. Am Eingang des ersten partiell
15 getakteten Inverters liegt das Datensignal D über den Dateneingang 3 an. Das erste Schaltelement 8 ist mit einem Programmierpotential, vorzugsweise einem Massepotential verbunden, um bei Durchschalten des ersten Transistors T1 und des zweiten Transistors T2 das Massenpotential an den ersten
20 Knoten K1, d. h. an den Eingang der ersten Inverterschaltung 6 anzulegen.

Das zweite Schaltelement 9 weist einen dritten Transistor T3 und einen vierten Transistor T4 auf. Der dritte Transistor T3
25 und der vierte Transistor T4 sind in Serie geschaltet, so dass bei Durchschalten des dritten und des vierten Transistors T3, T4 das Programmierpotential, bzw. das Massepotential an den zweiten Knoten K2, d. h. an den Eingang der zweiten Inverterschaltung 7 angelegt wird. Der Steueranschluss des
30 dritten Transistors T3 ist mit dem Takteingang 2 zum Anlegen des Taktsignals CLK verbunden. Ein Steuereingang des vierten Transistors T4 ist mit dem Ausgang eines zweiten partiell getakteten Inverters verbunden. Der erste, zweite, dritte und vierte Transistor T1, T2, T3, T4 sind vorzugsweise als N-Kanal-Transistoren ausgebildet.
35

Der erste partiell getaktete Inverter 10 weist einen fünften N-Kanal-Transistor T5, einen sechsten P-Kanal-Transistor T6 und einen siebten P-Kanal-Transistor T7 auf. Ein erster Anschluss des siebten P-Kanal-Transistor T7 ist mit einem hohen Versorgungsspannungspotential V_{DD} verbunden. Ein zweiten Anschluss des siebten P-Kanal-Transistors T7 ist mit einem ersten Anschluss des sechsten P-Kanal-Transistors T6 und ein zweiter Anschluss des sechsten P-Kanal-Transistors T6 ist mit einem ersten Anschluss des fünften N-Kanal-Transistors T5 verbunden. Ein zweiter Anschluss des fünften N-Kanal-Transistors T5 ist mit dem Massepotential GND verbunden. Der erste Anschluss des fünften N-Kanal-Transistors T5 bzw. der zweite Anschluss des sechsten P-Kanal-Transistors T6 ist mit dem Steueranschluss des zweiten Transistors T2 des ersten Schaltelementes 8 verbunden. Steueranschlüsse des fünften N-Kanal-Transistors T5 und des sechsten P-Kanal-Transistors T6 sind mit dem Dateneingang 3 verbunden, um das Datensignal anzulegen. An einen Steueranschluss des siebten P-Kanal-Transistors T7 ist das Taktsignal CLK angelegt.

Der zweite partiell getaktete Inverter 11 weist einen achten N-Kanal-Transistor T8, einen neunten P-Kanal-Transistor T9 und einen zehnten P-Kanal-Transistor T10 auf. Ein ersten Anschluss des zehnten P-Kanal-Transistor T10 ist mit dem hohen Versorgungsspannungspotential V_{DD} und ein zweiter Anschluss des zehnten P-Kanal-Transistor T10 mit einem ersten Anschluss des neunten P-Kanal-Transistors T9 verbunden. Ein zweiter Anschluss des neunten P-Kanal-Transistors T9 ist mit einem ersten Anschluss des achten N-Kanal-Transistors T8 und ein zweiter Anschluss des achten N-Kanal-Transistors T8 ist mit dem Massepotential GND verbunden. Steuereingänge des zehnten P-Kanal-Transistors T10 und des achten N-Kanal-Transistors T8 sind mit dem Ausgang des ersten partiell getakteten Inverters 10, d. h. mit dem zweiten Anschluss des sechsten P-Kanal-Transistors T6 bzw. dem ersten Anschluss des fünften N-Kanal-Transistors T5 verbunden. An den Steueranschluss des neunten P-Kanal-Transistor T9 ist das Taktsignal CLK angelegt.

Die in Serie geschalteten Transistoren können beliebig vertauscht werden, ohne dass die Funktion der Schaltung beeinträchtigt wird.

5

Die zuvor beschriebene Flipflop-Schaltung 1 ist in der Lage, bei einem niedrigen Pegel des Taktsignals CLK ein Datensignal an dem Dateneingang 3 in die Datenübernahmeeinheit 5 zu übernehmen und bei einem hohen Pegel des Taktsignals CLK in das Speicherelement 4 zu schreiben. Das Schreiben in das Speicherelement 4 erfolgt über das erste Schaltelement 8 und das zweite Schaltelement 9, wobei nur eines der beiden Schaltelemente 8, 9 durchgeschaltet ist, während das jeweils andere sperrt und somit an dem an dem Schaltelement anliegenden Knoten K1, K2 der Rückkopplungsschleife kein Potential angelegt wird. Der Knoten K1, K2 der Rückkopplungsschleife, der mit dem durchgeschalteten Schaltelement 8, 9 verbunden ist, wird auf einen dem Massepotential GND entsprechenden LOW-Pegel gezogen und durch die entsprechende Inverterschaltung 6, 7 invertiert, so dass an dem jeweils anderen Knoten K1, K2 der Rückkopplungsschleife ein HIGH-Pegel anliegt. Die beiden Knoten K1, K2 der Rückkopplungsschleife des Speicherelementes 4 stehen als Ausgänge des Flipflops Q, QN zur Verfügung, wobei der erste Knoten K1 dem nicht-invertierten Ausgang Q und der zweite Knoten K2 dem invertierten Ausgang QN entspricht.

25

Die beiden Schaltelemente 8, 9 dienen zum Setzen des Speicherelementes und werden durch ein semi-stabiles dynamisches Latch gesteuert. Dieses Latch hat den Vorteil, dass es im Wesentlichen mit einer geringeren Anzahl von Transistoren aufbaubar ist als ein statisches Latch bei einem herkömmlichen D-Flipflop.

30

Mittels zweier partiell getakteter Inverter, die nur im Pull-up-Zweig, d. h. durch den siebten P-Kanal-Transistor T7 und durch den neunten P-Kanal-Transistor T9 mit Hilfe des Taktsignals CLK getaktet sind, werden aus dem Datensignal D die

35

komplementären Eingangspegel an dem ersten Knoten K1 und dem zweiten Knoten K2 des Speicherelementes 4 erzeugt. Bei niedrigem Taktpegel des Taktsignals CLK sind die erste und die zweite partiell getaktete Inverterschaltung 10, 11 aktiviert, so dass der siebte und der neunte P-Kanal-Transistor T7, T9 durchgeschaltet sind, um den ersten und den zweiten partiell getakteten Inverter als Inverter zu betreiben. Bei einem hohen Taktpegel stellen die partiell getakteten Inverter 10, 11 keine invertierenden Gatter dar, so dass im Wesentlichen kein von dem Dateneingang durchgesteuertes Ansteuersignal von dem Low-Pegel auf den High-Pegel an das erste und das zweite Schaltelement 8, 9 weiter gegeben wird.

Der erste taktgesteuerte Inverter 10 sperrt jedoch nicht vollständig, denn eine steigende Flanke, d. h. ein hoher Signalpegel am Dateneingang 3 kann bewirken, dass der Ausgang des ersten Taktgesteuerten Inverter 10 von einem HIGH- auf einen LOW-Pegel gezogen wird. Diese Pegeländerung könnte sich nur dann auf den Ausgang des D-Flipflops auswirken, wenn die Hold-Zeit der Schaltung nicht ordnungsgemäß eingehalten würde, da dann der für eine Mindestdauer offen zu haltende Zweig, der mit dem Knoten K1 verbunden ist, in der Ansteuerung des Speicherelementes 4 vorzeitig geschlossen würde. Die Hold-Zeit wird dann nicht eingehalten, wenn an einem der Knoten der Speichereinheit 4 das zu schreibende Signal, das der Rückkopplungsschleife eingeprägt werden soll, nur für eine zu kurze Zeitdauer anliegt.

Um die in dem Speicherelement 4 gespeicherte Information aufgrund eines während eines hohen Taktpegels erfolgenden Signalwechsels an dem Dateneingang 3 von einem niedrigen auf ein hohes Potential umzuschreiben, müsste das zweite Schaltelement 9 durchgeschaltet werden. Dies kann nur erfolgen, wenn der zweite partiell getaktete Inverter 11 an seinem Ausgang einen hohen Signalpegel ausgibt, um den vierten N-Kanal-Transistor T4 des zweiten Schaltelementes 9 durchzuschalten. Dies ist jedoch nicht möglich, da durch den sperrenden neunten P-

Kanal-Transistor T9 der Ausgang des zweiten partiell getakten Inverters 11 nicht ein hohes Potential annehmen können, wenn es zu Schaltverzögerungen kommt.

- 5 Das Vorsehen voneinander getrennter Schaltelemente 8, 9 hat den Vorteil, dass die Knoten K1, K2 der Rückkopplungsschleife nicht miteinander kurzgeschlossen werden können, wenn es zu Schaltverzögerungen kommt.
- 10 Das oben beschriebene Flipflop hat den weiteren Vorteil, dass es einen deutlich reduzierten Flächenbedarf gegenüber den bislang verwendeten D-Flipflops aufweist. Darüber hinaus hat die vorgestellte D-Flipflop-Schaltung gute Layouteigenschaften, da insbesondere wenig Leitungsüberkreuzungen vorhanden
- 15 sind. Auch benötigt die vorgeschlagene Schaltung eine geringere Anzahl von P-Kanal-Transistoren, die üblicherweise die Schaltungsfläche stärker beeinflussen als N-Kanal-Transistoren.
- 20 Die Ausgänge des D-Flipflops sind an den beiden Knoten K1, K2 der Speichereinheit 4 abgreifbar. Um die Rückkopplungsschleife aus den Invertern 6 und 7 nicht durch große Eingangslasten zu beeinflussen, ist vorzugsweise vorgesehen, die Ausgänge über Puffer (nicht gezeigt) von der nachgeordneten Schaltung
- 25 zu entkoppeln.

In Figur 2 ist ein weiteres D-Flipflop 20 mit einem Aktivierungseingang 21 vorgesehen, an dem ein Aktivierungssignal E anlegbar ist. Das weitere D-Flipflop 20 weist ein Speicher-

30 element 4, ein erstes Schaltelement 8 und ein zweites Schaltelement 9 auf, die identisch zu der Speichereinheit 4 und den Schaltelementen 8, 9 der Ausführungsformen nach Figur 1 sind. Gleiche Bezugszeichen weisen auf gleiche Elemente gleicher Funktion hin.

35

In einer weiteren Datenübernahmeeinheit 22 werden interne Ansteuersignale für das erste und das zweite Schaltelement 8, 9

mit Hilfe eines ersten partiell getakteten Gatters 23 und eines zweiten partiell getakteten Gatters 24 zur Verfügung gestellt.

5 Das erste partiell getaktete Gatter 23 weist einen elften N-Kanal-Transistors T11 und einen dazu in Reihe geschalteten zwölften N-Kanal-Transistors T12 auf. Ein erster Anschluss des elften N-Kanal-Transistors T11 ist mit dem Massepotential GND verbunden. Ein zweiter Anschluss des elften N-Kanal-Transistors T11 ist mit einem ersten Anschluss des zwölften N-Kanal-Transistors T12 und ein zweiter Anschluss des zwölften N-Kanal-Transistors T12 ist mit dem zweiten N-Kanal-Transistor T2 des ersten Schaltelementes 8 verbunden.

15 Das erste partiell getaktete Gatter 23 weist weiterhin einen dreizehnten N-Kanal-Transistor T13 und einen dazu in Reihe geschalteten vierzehnten N-Kanal Transistor T14 auf. Ein erster Anschluss des dreizehnten N-Kanal-Transistors T13 ist mit dem Massepotential GND und ein zweiter Anschluss des dreizehnten N-Kanal-Transistors T13 mit einem ersten Anschluss des vierzehnten N-Kanal-Transistors T14 verbunden. Ein zweiter Anschluss des vierzehnten N-Kanal-Transistors T14 ist ebenfalls mit dem Steueranschluss des zweiten N-Kanal-Transistors T2 des ersten Schaltelementes 8 verbunden.

25 An einen Steuereingang des zwölften N-Kanal-Transistors T12 ist das Datensignal D angelegt. An einen Steuereingang des elften N-Kanal-Transistors T11 liegt das Aktivierungssignal E an.

30 Mit den zweiten Anschlüssen des zwölften und des vierzehnten N-Kanaltransistors T12, T14 ist eine Transistorkette mit einem fünfzehnten P-Kanal-Transistor T15 einem sechzehnten P-Kanal-Transistors T16 und einem siebzehnten P-Kanal-Transistor T17 verbunden. Ein erster Anschluss des fünfzehnten P-Kanal-Transistors T15 ist mit den zweiten Anschlüssen des zwölften und vierzehnten N-Kanal-Transistoren T12, T14 ver-

bunden. An einem zweiten Anschluss des fünfzehnten P-Kanal-Transistors T15 ist ein erster Anschluss des sechzehnten P-Kanal-Transistors T16 und an einem zweiten Anschluss des sechzehnten P-Kanal-Transistors T16 ist ein erster Anschluss
5 des siebzehnten P-Kanal-Transistors T17 angelegt. Ein zweiter Anschluss des siebzehnten P-Kanal-Transistors T17 ist mit dem hohen Versorgungsspannungspotential V_{DD} verbunden.

Ein Steueranschluss des dreizehnten N-Kanal-Transistors T13
10 ist mit dem ersten Knoten K1, d. h. den invertierenden Ausgang des weiteren D-Flipflops 20, d. h. mit dem ersten Anschluss des ersten N-Kanal-Transistors T1 des ersten Schaltelementes 8, verbunden. Ein Steueranschluss des vierzehnten N-Kanal-Transistors T14 ist ebenso wie ein Steueranschluss
15 des siebzehnten P-Kanal-Transistors T17 mit dem über einen Inverter 25 invertierten Aktivierungssignal E verbunden. An einem Steueranschluss des fünfzehnten P-Kanal-Transistors T15 ist das Datensignal D angelegt. An einem Steueranschluss des sechzehnten P-Kanal-Transistors T16 ist das Taktsignal CLK
20 angelegt.

Das zweite partiell getaktete Gatter 24 weist einen achtzehnten N-Kanal-Transistor T18 auf, dessen erster Anschluss mit dem Massepotential GND und dessen zweiter Anschluss mit
25 dem Steueranschluss des vierten N-Kanal-Transistors T4 des zweiten Schaltelementes 9 verbunden ist. Ein erster Anschluss eines neunzehnten N-Kanal-Transistors T19 ist ebenfalls mit dem Massepotential GND und ein zweiter Anschluss des neunzehnten N-Kanal-Transistors T19 mit einem ersten Anschluss
30 eines zwanzigsten N-Kanal-Transistors T20 verbunden. Ein zweiter Anschluss des zwanzigsten N-Kanal-Transistors T20 ist ebenso wie der zweite Anschluss des achtzehnten N-Kanal-Transistors T18 mit dem Steueranschluss des vierten N-Kanal-Transistors T4 des zweiten Schaltelements 9 verbunden.

35

Das zweite partiell getaktete Gatter 24 weist weiterhin einen einundzwanzigsten P-Kanal-Transistor T21 auf, dessen erster

Anschluss mit den zweiten Anschlüssen des achtzehnten und des zwanzigsten N-Kanal-Transistor T18, T20 verbunden ist. Ein zweiter Anschluss des einundzwanzigsten P-Kanal-Transistor T21 ist mit einem ersten Anschluss eines zweiundzwanzigsten P-Kanal-Transistor T22 verbunden. An einen zweiten Anschluss des zweiundzwanzigsten P-Kanal-Transistor T22 ist ein erster Anschluss eines dreiundzwanzigsten P-Kanal-Transistors T23 angelegt. Ein zweiter Anschluss des dreiundzwanzigsten P-Kanal-Transistor T23 ist mit dem hohen Versorgungsspannungspotential V_{DD} verbunden.

Ein Steueranschluss des einundzwanzigsten P-Kanal-Transistor T21 ist mit dem Taktsignal CLK verbunden. An den Steueranschlüssen des achtzehnten N-Kanal-Transistors T18 und des zweiundzwanzigsten P-Kanal-Transistor T22 ist der Ausgang des ersten partiell getakteten Gatters 23, d. h. die zweiten Anschlüsse des zwölften und des vierzehnten N-Kanal-Transistor T12 und T14 verbunden. An den Steueranschlüssen des dreiundzwanzigsten P-Kanal-Transistor T23 und des zwanzigsten N-Kanal-Transistor T20 ist das invertierte Aktivierungssignal E angelegt. Der invertierte Ausgang QN des weiteren D-Flipflops 20, d. h. der zweite Knoten K2, ist mit einem Steuereingang des neunzehnten N-Kanal-Transistors T19 verbunden.

Die Funktion der Aktivierung bzw. Deaktivierung des weiteren D-Flipflops 20 wird im wesentlichen durch den siebzehnten P-Kanal-Transistor T17 und dem dreiundzwanzigsten P-Kanal-Transistors T23 bewirkt. Diese Transistoren sperren bei einem LOW-Pegel des Aktivierungssignals E, der angibt, dass das weitere D-Flipflop 20 deaktiviert sein soll. Da durch das Sperren des siebzehnten und des dreiundzwanzigsten P-Kanal-Transistors T17, T23 bei einem LOW-Pegel des Aktivierungssignals E die Ansteuersignale für das erste und das zweite Schaltelement 8, 9 keinen HIGH-Pegel mehr annehmen können, kann bei einem deaktivierten Aktivierungssignal keiner der Knoten K1, K2 der Speichereinheit 4 durch das Durchschalten des jeweiligen Schaltelementes 8, 9 von einem HIGH-Pegel auf

einen LOW-Pegel gezogen werden, und so ein Kippen der in dem Speicherelement 4 gespeicherten Information bewirken.

Damit bei einem deaktivierten Aktivierungssignal E die floa-
5 tenden Steueranschlüsse des zweiten N-Kanal-Transistors des
ersten Schaltelementes 8 und des vierten N-Kanal-Transistor
T4 des zweiten Schaltelementes 9 nicht z. B. durch Leckströme
von einem LOW- auf den HIGH-Pegel gelangen können, sind im
Vergleich zu dem D-Flipflop 1 gemäß der ersten Ausführungs-
10 form der elfte N-Kanal-Transistor T11, der dreizehnte N-Ka-
nal-Transistor T13, der vierzehnte N-Kanal-Transistor T14 so-
wie der neunzehnte und zwanzigste N-Kanal-Transistor T19, T20
eingeführt. Diese bewirken, dass das Ansteuersignal für das
erste bzw. das zweite Schaltelement 8, 9 bei deaktivierten
15 Aktivierungssignal so geschaltet ist, dass das Massepotential
GND dem Eingang der ersten oder der zweiten Inverterschaltung
6, 7 angelegt ist, der sich zum Speichern des Datensignals
auf einem Low-Pegel befindet.

20 Ein LOW-Pegel des Aktivierungssignal gibt an, dass das
D-Flipflop 20 deaktiviert sein soll. In diesem Fall wird der
vierzehnte N-Kanal-Transistor T14 und der zwanzigste N-Kanal-
Transistor T20 durchlässig, so dass es nun von dem in dem
Speicherelement 4 gespeicherten Datum abhängt, ob der drei-
25 zehnte N-Kanal-Transistor T13 oder der neunzehnte N-Kanal-
Transistor T19 durchgeschaltet ist. Ist der zweite Knoten K2
auf einen HIGH-Potential, so ist der neunzehnte N-Kanal-
Transistor T19 durchgeschaltet, so dass an dem Steuereingang
des vierten N-Kanal-Transistors T4 sicher ein LOW-Potential
30 anliegt, so dass der zweite Knoten K2 nicht mit dem Massepo-
tential GND verbunden wird. Dies sichert die gespeicherte In-
formation in der Speichereinheit 4 bei deaktivierten Aktivie-
rungssignal E.

35 Durch die erfindungsgemäßen D-Flipflop-Schaltungen ist eine
direkte Verarbeitung des Taktsignals ohne Inverter zwischen
Takteingang und taktenden Transistoren möglich. So wird die

Datenübernahmeeinheit 22 mit der steigenden Flanke des Taktsignals CLK getaktet. Herkömmliche Flipflop-Schaltungen weisen zwei Latche auf, die im allgemeinen auf komplementäre Taktflanken getriggert sind. Dadurch, dass die Inverter zwischen Takteingang und taktenden Transistoren bei der erfindungsgemäßen D-Flipflop-Schaltung vermieden werden können, kann die Anzahl der benötigten Transistoren für eine D-Flipflop-Schaltung reduziert werden und die interne Verlustleistung insbesondere bei einer großen Anzahl von verwendeten D-Flipflops erheblich reduziert werden.

Patentansprüche

1. Flipflop mit einem Takteingang (2) zum Anlegen eines Taktsignals (CLK), einem Dateneingang (3) zum Anlegen eines Datensignals (D), einem nicht-invertierten Ausgang (Q) und einem invertierten Ausgang (QN), wobei das Flipflop eine Datenübernahmeeinheit (5, 22) und eine Speichereinheit (4) aufweist, wobei die Speichereinheit (4) eine Rückkopplungsschleife mit einer ersten und einer zweiten Inverterschaltung (7) aufweist, die einander rückgekoppelt sind, wobei der nicht-invertierte Ausgang (Q) mit einem Ausgang der ersten Inverterschaltung (6) und der invertierte Ausgang (QN) mit einem Ausgang der zweiten Inverterschaltung (7) gekoppelt ist, wobei die Datenübernahmeeinheit (5, 22) so gestaltet ist, um abhängig von dem anliegenden Datensignal und dem anliegenden Taktsignal (CLK) entweder einen Eingang der ersten Inverterschaltung (6) oder einen Eingang der zweiten Inverterschaltung (7) mit einem vorbestimmten Programmierpotential zu belegen und an dem Eingang der jeweils anderen der ersten und zweiten Inverterschaltung (6, 7) kein Potential anzulegen, ~~verbunden sind~~, dadurch gekennzeichnet, dass die Datenübernahmeeinrichtung (5, 22) ein erstes Schaltelement (8) aufweist, um das vorbestimmte Programmierpotential abhängig von dem Taktsignal (CLK) und dem Datensignal (D) an den Eingang der ersten Inverterschaltung (6) anzulegen, und die Datenübernahmeeinrichtung (5, 22) ein zweites Schaltelement (9) aufweist, um das vorbestimmte Programmierpotential abhängig von dem Taktsignal (CLK) und dem Datensignal (D) an den Eingang der zweiten Inverterschaltung (7) anzulegen.
2. Flipflop nach Anspruch 1, wobei das erste Schaltelement (8) bei einem ersten Pegel des Taktsignals (CLK) und einem ersten Pegel des Datensignals (D) durchgeschaltet ist

und bei einem zweiten Pegel des Taktsignals (CLK)
und/oder einem zweiten Pegel des Datensignals (D) ge-
sperrt ist.

- 5 3. Flipflop nach Anspruch 1 oder 2, wobei das zweite Schalt-
element (9) bei einem ersten Pegel des Taktsignals und
einem zweiten Pegel des Datensignals (D) durchgeschaltet
ist und bei einem zweiten Pegel des Taktsignals (CLK)
und/oder einem ersten Pegel des Datensignals (D) gesperrt
10 ist.
- 15 4. Flipflop nach Anspruch 1 bis 3, wobei das erste Schalt-
element mit einem Ausgang eines ersten partiell getak-
teten Inverter (10) gekoppelt ist, um das invertierte Da-
tensignal bei einem zweiten Pegel des Taktsignals (CLK)
oder bei dem ersten Pegel des Taktsignals (CLK) bei An-
liegen des zweiten Pegel des Datensignals (D) an das ers-
te Schaltelement (8) anzulegen und bei Anliegen des ers-
ten Pegel des Taktsignals (CLK) und des ersten Pegels des
20 Datensignals (D) kein Potential an das erste Schaltele-
ment (8) anzulegen.
- 25 5. Flipflop nach Anspruch 4, wobei das zweite Schaltelement
(9) mit einem Ausgang eines zweiten partiell getakteten
Inverter (11) gekoppelt ist,
wobei der zweite partiell getaktete Inverter (11) mit dem
Ausgang des ersten partiell getakteten Inverter (10) ver-
bunden ist, um ein nicht-invertiertes Datensignal (D) bei
einem zweiten Pegel des Taktsignals (CLK) an das zweite
30 Schaltelement (9) anzulegen und bei dem ersten Pegel des
Taktsignals (CLK) kein verändertes Potential an das zwei-
te Schaltelement (9) anzulegen.
- 35 6. Flipflop nach Anspruch 5, wobei der erste und zweite par-
tiell getaktete Inverter (11) so gestaltet sind, dass bei
einem Wechsel des Taktsignals (CLK) von dem zweiten Pegel
auf den ersten Pegel bei unverändertem Datensignal (D) am

Ausgang des ersten partiell getakteten Inverters (10) das invertierte Datensignal und am Ausgang der zweiten partiell getakteten Inverters (11) das nicht-invertierte Datensignal (D) jedenfalls solange anliegt, bis das Datensignal (D) in der Speichereinheit (4) gespeichert ist.

7. Flipflop nach Anspruch 1, wobei ein Aktivierungseingang (21) vorgesehen ist, um das Flipflop mit Hilfe eines Aktivierungssignals (E) zu aktivieren,
wobei das erste Schaltelement (8) und das zweite Schaltelement (9) jeweils abhängig von dem Taktsignal (CLK), dem am Dateneingang (D) anliegenden Datensignal, und dem Aktivierungssignal durchgeschaltet oder gesperrt ist, so dass bei deaktiviertem Aktivierungssignal (E) die Information des Speicherelements unabhängig von dem anliegenden Taktsignal (CLK) und dem anliegenden Datensignal (D) gespeichert bleibt.
8. Flipflop nach Anspruch 7, wobei das erste Schaltelement mit einem Ausgang eines ersten partiell getakteten Gatters (23) gekoppelt ist, um
 - bei aktiviertem Aktivierungssignal (E) und bei einem zweiten Pegel des Taktsignals (CLK) das invertierte Datensignal (D) an das erste Schaltelement (8) anzulegen, und
 - bei deaktiviertem Aktivierungssignal (E) kein Potential an das erste Schaltelement (8) anzulegen,
 - bei dem ersten Pegel des Taktsignals (CLK) entweder das invertierte Datensignal (D) an das erste Schaltelement (8), wenn der zweite Pegel des Datensignals (D) anliegt, oder kein Potential an das erste Schaltelement (8) anzulegen, wenn der erste Pegel des Datensignals (D) anliegt.
9. Flipflop nach Anspruch 8, wobei das zweite Schaltelement (8) mit einem Ausgang eines zweiten partiell getakteten Gatters (24) gekoppelt ist, wobei der zweite partiell getaktete Gatter (24) mit dem

Ausgang des ersten partiell getakteten Gatters (23) verbunden ist, um

- bei aktivierten Aktivierungssignal (E) und bei einem zweiten Pegel des Taktsignals (CLK) ein nicht-invertiertes Datensignal (D) an das zweite Schaltelement (9) anzulegen und

- bei dem ersten Pegel des Taktsignals (CLK) und/oder bei deaktivierten Aktivierungssignal (E) kein Potential an das zweite Schaltelement (9) anzulegen.

- 10.
10. Flipflop nach Anspruch 9, wobei das erste oder das zweite Schaltelement so mit dem ersten und dem zweiten partiell getakteten Gatter (23, 24) verbunden sind, dass bei deaktiviertem Aktivierungssignal (5) und bei dem ersten Pegel des Taktsignals (CLK) abhängig von dem in der Speichereinheit (4) gespeicherten Datensignal (D) das erste oder das zweite Schaltelement (8, 9) durchgeschaltet wird, um die in der Speichereinheit (4) gespeicherte Information beizubehalten.

Zusammenfassung

D-Flipflop mit reduzierter Transistoranzahl

5

Die Erfindung betrifft einen Flipflop mit einem Takteingang zum Anlegen eines Taktsignals, einem Dateneingang zum Anlegen eines Datensignals, einem nicht-invertierendem Ausgang und einem invertierendem Ausgang, wobei das Flipflop eine Datenübernahmeeinheit und eine Speichereinheit aufweist, wobei die Speichereinheit eine Rückkopplungsschleife mit einer ersten und einer zweiten Inverterschaltung aufweist, die einander rückgekoppelt sind, wobei der nicht-invertierendem Ausgang mit einem Ausgang der ersten Inverterschaltung und der invertierende Ausgang mit einem Ausgang der zweiten Inverterschaltung gekoppelt ist, wobei die Datenübernahmeeinheit so gestaltet ist, um abhängig von dem anliegenden Datensignal und dem anliegenden Taktsignal entweder einen Eingang der ersten Inverterschaltung oder einen Eingang der zweiten Inverterschaltung mit einem vorbestimmten Programmierpotential zu belegen und an dem Eingang der jeweils anderen der ersten und zweiten Inverterschaltung kein Potential anzulegen, verbunden sind, wobei die Datenübernahmeeinrichtung ein erstes Schaltelement aufweist, um das vorbestimmte Programmierpotential abhängig von dem Taktsignal und dem Datensignal an den Eingang der ersten Inverterschaltung anzulegen, und die Datenübernahmeeinrichtung ein zweites Schaltelement aufweist, um das vorbestimmte Programmierpotential abhängig von dem Taktsignal und dem Datensignal an den Eingang der zweiten Inverterschaltung anzulegen.

Figur 1

Bezugszeichenliste

1	D-Flipflop
2	Takteingang
3	Dateneingang
4	Speichereinheit
5	Datenübernahmeeinheit
6	erste Inverterschaltung
7	zweite Inverterschaltung
8	erstes Schaltelement
9	zweites Schaltelement
10	erster partiell getaktete Inverter
11	zweiter partiell getaktete Inverter
20	D-Flipflop mit Aktivierungseingang
21	Aktivierungseingang
22	zweite Datenübernahmeeinheit
23	erstes partiell getaktetes Gatter
24	zweites partiell getaktetes Gatter
25	Inverter
T1 - T23	erster bis dreiundzwanzigster Feldeffekttransistor
V _{DD}	hohes Versorgungsspannungspotential
GND	Massepotential
CLK	Taktsignal
E	Aktivierungssignal
D	Datensignal
Q	nichtinvertierter Ausgang
QN	invertierter Ausgang

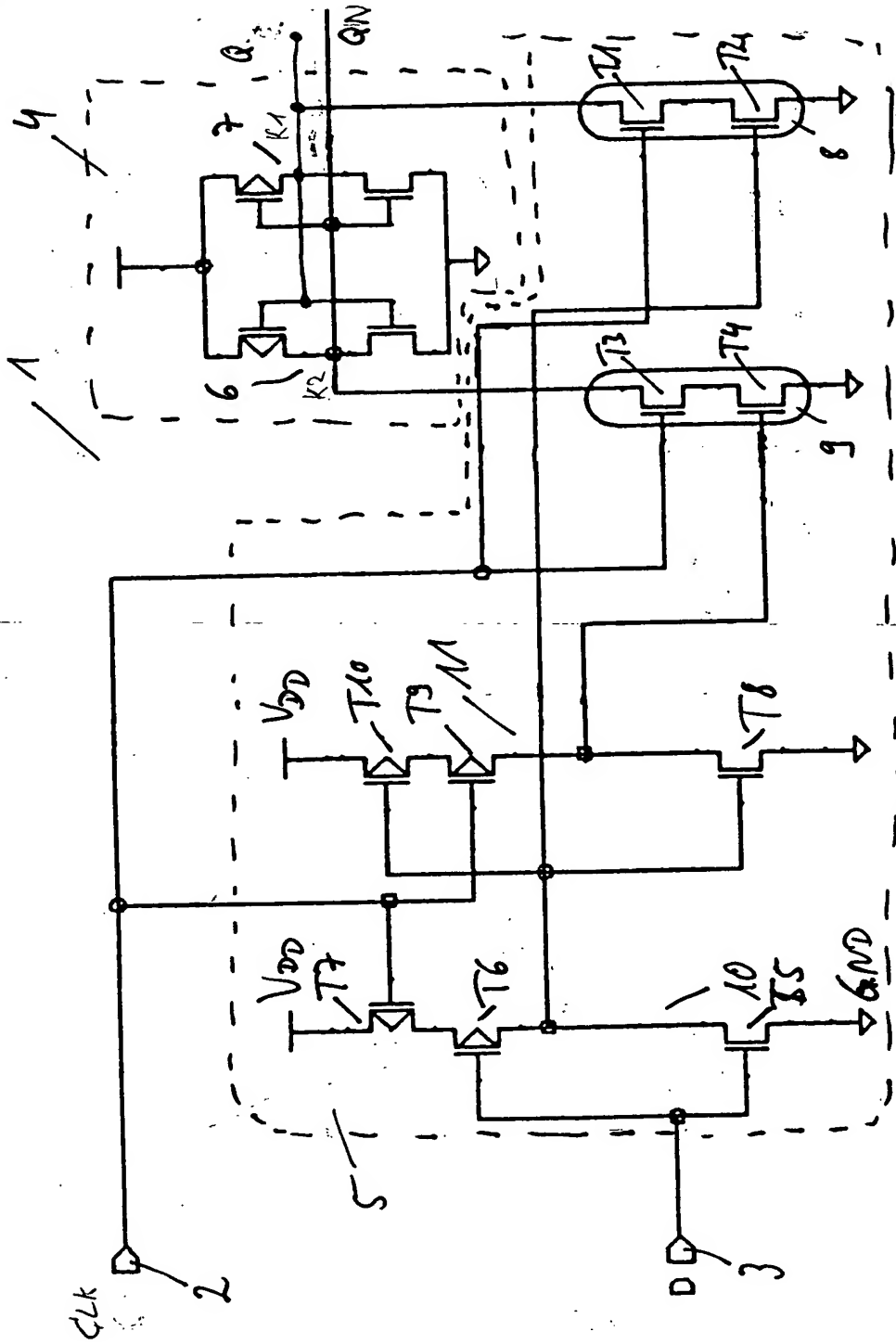
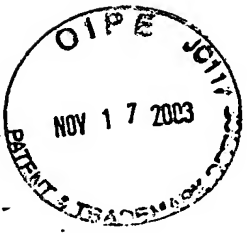


Fig. 1

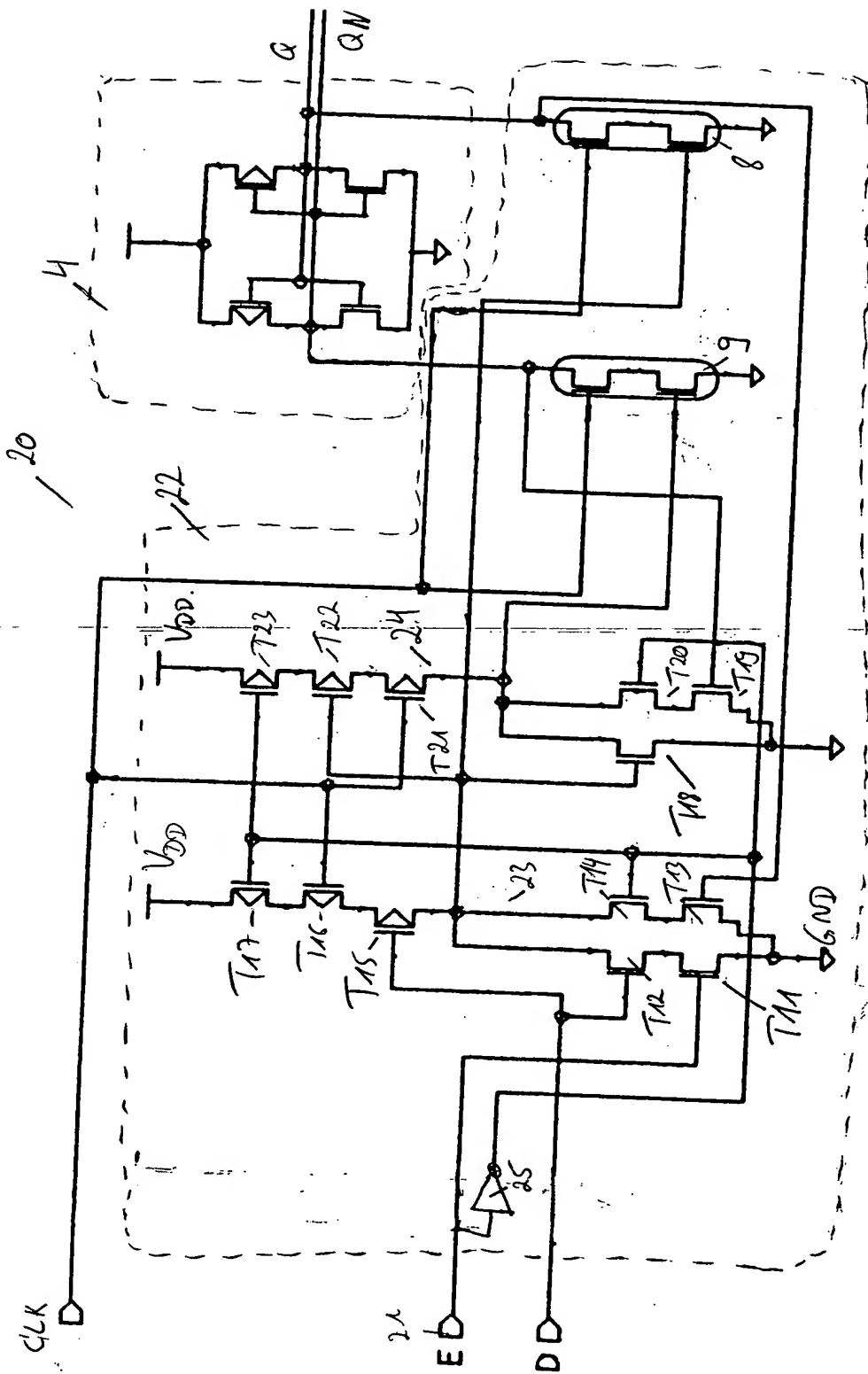
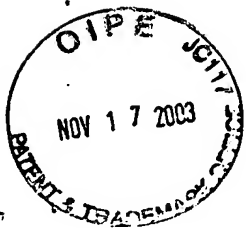


Fig. 2